

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368212

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

H01L 29/78  
H01L 21/265  
H01L 21/28  
H01L 21/8234  
H01L 21/8238  
H01L 27/088  
H01L 27/092

(21)Application number : 2001-176478

(71)Applicant : HITACHI LTD  
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 12.06.2001

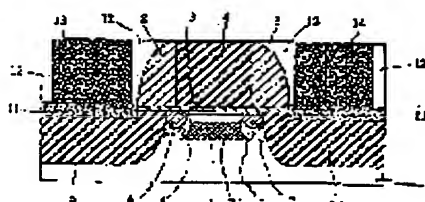
(72)Inventor : HORIUCHI KATSUTADA  
TAKAHAMA TAKASHI  
ONISHI KAZUHIRO  
MITSUDA KATSUHIRO

## (54) INSULATED-GATE FIELD-EFFECT TRANSISTOR AND MANUFACTURING METHOD THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To actualize in a channel region a distribution which has low impurity density on the surface of a semiconductor and steep toward the inner side of the semiconductor substrate with impurities B, P, etc., having high activation rates for prevention punch-through phenomenon of a fine MOS transistor and a large current, even through the B, P, etc., with the high activation rates being too high a diffusion speed to have low impurity density on the semiconductor surface, and a steep distribution toward the inner side of the semiconductor substrate and In and Sb, having a large mass, can actualize steep distribution, but will have low solution or low activation rates and cause crystal defects.

**SOLUTION:** Impurities, having an electrically high activation rate, are introduced into a channel region and an In-injected layer is formed in a polarity shallow region the channel region. The impurities B and P are re distributed so as to obtain the maximum In-injected layer density and depth, and a channel impurity region is formed which electrically operates as impurities of B, P, etc., depending on In for low-concentration and vertically steep impurity distribution. This impurity distribution actualizes both prevention of the punch-through phenomenon of a superfine complementary type MOS transistor and an increase of a current.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

**BEST AVAILABLE COPY**

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-368212

(P2002-368212A)

(43)公開日 平成14年12月20日 (2002. 12. 20)

(51)Int.Cl.	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78		H 0 1 L 21/265	6 0 4 Z 4 M 1 0 4
21/265		21/28	3 0 1 A 5 F 0 4 8
	6 0 4	29/78	3 0 1 H 5 F 1 4 0
21/28	3 0 1	21/265	F
21/8234		27/08	3 2 1 B

審査請求 未請求 請求項の数22 O L (全 13 頁) 最終頁に続く

(21)出願番号 特願2001-176478(P2001-176478)

(22)出願日 平成13年6月12日 (2001. 6. 12)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 堀内 勝忠

東京都国分寺市東窓ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

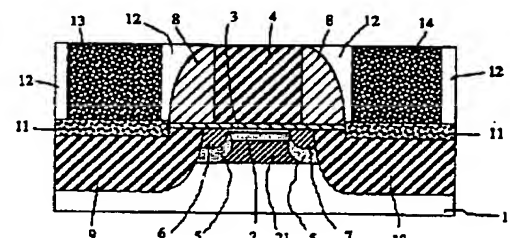
## (54)【発明の名称】 絶縁ゲート型電界効果トランジスタ及びその製造方法

## (57)【要約】

【課題】活性化率の高いB、P等では拡散速度が大きすぎて半導体表面では低不純物濃度で、且つ、半導体基板内部に向けて急峻な分布がない。質量の大きなIn、Sbでは急峻な分布は実現可能であるが固溶度又は活性化率が低く、且つ、結晶欠陥の発生を伴う。微細MOSトランジスタのパンチスルー現象防止と大電流化の両立には活性化率の高いB、P等の不純物で半導体表面では低不純物濃度で、且つ、半導体基板内部に向けて急峻な分布をチャンネル領域に実現することである。

【解決手段】チャンネル領域において、電気的に活性化率の高い不純物を導入し、併せてチャンネル領域における極浅領域にIn注入層を形成し、不純物B、Pの分布をIn注入層最大濃度深さになるごとく再分布させ、深さ分布はInで、電気的にはB、P等の不純物として作用するチャンネル不純物領域を形成する。上記不純物分布により超微細相補型MOSトランジスタのパンチスルー現象の防止と大電流化を両立させる。

図1



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】第1の導電型を有する半導体基板の主表面から、第1の不純物を上記半導体基板内部で最大不純物濃度になる如く注入する工程と、第1の導電型を有する第2の不純物を最大不純物濃度となる深さが上記第1の不純物の最大不純物濃度深さと一致する如く注入する工程とを有することを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

【請求項2】前記第1の不純物の注入工程と上記第2の不純物の注入工程との順序が逆であることを特徴とする請求項1に記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項3】前記第1の不純物の注入工程は、半導体基板の主表面に対して垂直でない角度で施すことを特徴とする請求項1又は2に記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項4】同一半導体基板の主表面に第1の導電型領域と第2の導電型領域を形成する工程と、上記半導体基板の主表面から、第1の不純物を上記半導体基板内部で最大不純物濃度になる如く注入する工程と、上記第1の導電型領域に選択的に第1の導電型を有する第2の不純物を最大不純物濃度となる深さが上記第1の不純物の最大不純物濃度深さと一致する如く注入する工程と、上記第2の導電型領域に選択的に第2の導電型を有する第3の不純物を最大不純物濃度となる深さが上記第1の不純物の最大不純物濃度深さと一致する如く注入する工程とを有することを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

【請求項5】前記第1の不純物の注入工程を、前記第2の不純物の注入工程及び前記第3の不純物の注入工程後に施すことを特徴とする請求項4に記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項6】該第1の不純物は他の不純物を引き寄せる作用を有する不純物であることを特徴とする請求項1乃至5の何れかに記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項7】前記第1の不純物は、Inであることを特徴とする請求項6に記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項8】前記第1の不純物は、InとGaの少なくとも何れかを含むことを特徴とする請求項5に記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項9】ゲート電極を注入阻止マスクとして第1の導電型を有する第2の不純物を注入する工程と、該工程での注入領域内部に第2の導電型を有する浅いソース拡散層をゲート電極を注入阻止マスクとして形成する工程とを有することを特徴とする請求項1乃至3及び6乃至8の何れかに記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項10】第2の導電型を有する浅いソース拡散層

をゲート電極を注入阻止マスクとして形成する工程の後に、ゲート電極を注入阻止マスクとして第1の導電型を有する第2の不純物を注入する工程を施すことを特徴とする請求項9に記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項11】前記第1の導電型領域の主表面上にゲート絶縁膜を介して形成されたゲート電極を注入阻止マスクとして第1の導電型を有する第2の不純物を注入する工程と、該工程での第2の不純物注入領域内部に第2の導電型を有する浅いソース拡散層をゲート電極を注入阻止マスクとして形成する工程と、前記第2の導電型領域の主表面上にゲート絶縁膜を介して形成されたゲート電極を注入阻止マスクとして第2の導電型を有する第3の不純物を注入する工程と、該工程での第3の不純物注入領域内部に第1の導電型を有する浅いソース拡散層をゲート電極を注入阻止マスクとして形成する工程とを有することを特徴とする請求項4及び6乃至8の何れかに記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項12】第1の導電型を有する第2の不純物を注入する工程と第2の導電型を有する浅いソース拡散層を該ゲート電極を注入阻止マスクとして形成する工程、及び、第2の導電型を有する第3の不純物を注入する工程と第1の導電型を有する浅いソース拡散層を該ゲート電極を注入阻止マスクとして形成する工程、の順序を各々逆にして施すことを特徴とする請求項11に記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項13】第1の導電型を有する半導体基板の主表面に絶縁膜を介してゲート電極が構成された絶縁ゲート型電界効果トランジスタにおいて、上記ゲート電極直下の上記半導体基板領域に、第1の不純物領域と第1の導電型を有する第2の不純物領域が上記半導体基板内部の同一深さにおいて最大不純物濃度を有する如く分布し、且つ、上記第2の不純物領域における最大不純物濃度が上記第1の不純物領域における最大不純物濃度よりも高濃度に構成されてなることを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項14】同一半導体基板の主表面領域に第1の導電型領域と第2の導電型領域とを有し、上記第1及び第2の各導電型領域の主表面に絶縁膜を介してゲート電極が構成された絶縁ゲート型電界効果トランジスタにおいて、上記第1の導電型領域における上記ゲート電極直下の上記半導体基板領域には第1の不純物領域と第1の導電型を有する第2の不純物領域が、上記第2の導電型領域における上記ゲート電極直下の上記半導体基板領域には第1の不純物領域と第2の導電型を有する第3の不純物領域が、各々、上記半導体基板内部の同一深さにおいて最大不純物濃度を有する如く分布し、且つ、上記第2及び第3の各不純物領域における最大不純物濃度が上記第1の不純物領域における最大不純物濃度よりも高濃度に構成されてなることを特徴とする絶縁ゲート型電界効

果トランジスタ。

【請求項 15】前記第 1 の不純物は、前記第 2 及び第 3 の不純物を引き寄せる作用を有する不純物であり、前記第 2 又は第 3 の各不純物領域は、B、P 又は As の何れかにより構成されることを特徴とする請求項 13 又は 14 に記載の絶縁ゲート型電界効果トランジスタ。

【請求項 16】相対的に浅い接合深さと深い接合深さを有するソース拡散層を有し、前記第 1 の不純物領域における最大不純物濃度深さが、上記浅いソース拡散層の接合深さと同一深さ、或いは、上記浅いソース拡散層の接合深さよりも浅い領域に構成されてなることを特徴とする請求項 13 乃至 15 の何れかに記載の絶縁ゲート型電界効果トランジスタ。

【請求項 17】前記第 1 の不純物は、In により構成されることを特徴とする請求項 13 乃至 16 の何れかに記載の絶縁ゲート型電界効果トランジスタ。

【請求項 18】前記第 1 の不純物は、In と Ga とにより構成されることを特徴とする請求項 13 から 16 の何れかに記載の絶縁ゲート型電界効果トランジスタ。

【請求項 19】前記第 2 及び第 3 の各不純物領域は、その最大不純物濃度点から前記半導体基板主表面側が、最大不純物濃度点から半導体基板内部側よりも、不純物濃度勾配が急峻に構成されてなることを特徴とする請求項 13 乃至 18 の何れかに記載の絶縁ゲート型電界効果トランジスタ。

【請求項 20】前記第 2 及び第 3 の各不純物領域における最大不純物濃度は、 $1 \times 10^{18} / \text{cm}^3$  以上であることを特徴とする請求項 13 から 19 の何れかに記載の絶縁ゲート型電界効果トランジスタ。

【請求項 21】浅い接合と深い接合よりなるソース拡散層を有し、上記浅い接合の少なくとも底面は、前記第 2 の不純物領域で覆われて構成されてなることを特徴とする請求項 13 又は 15 乃至 20 の何れかに記載の絶縁ゲート型電界効果トランジスタ。

【請求項 22】浅い接合と深い接合よりなるソース拡散層が、前記第 1 の導電型領域と前記第 2 の導電型領域の各々に構成され、該各々のソース拡散層の浅い接合の少なくとも底面は、前記第 2 の不純物領域或いは前記第 3 の不純物領域により各々覆われて構成されてなることを特徴とする請求項 14 乃至 21 の何れかに記載の絶縁ゲート型電界効果トランジスタ。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、低電圧、大電流動作が可能な超微細絶縁ゲート型（一般に、MOS 型と称される）電界効果トランジスタとその製造方法に関する。

##### 【0002】

【従来の技術】超高密度集積回路装置を構成する絶縁ゲート型電界効果トランジスタ（以下、MOSFET と記

する）の高性能化は、スケーリング則に基づき使用電源電圧の低下と寄生容量低減メリットを達成すべく、トランジスタ面積の低減とゲート寸法の微細化により達成されてきた。スケーリング則に基づき、基板不純物濃度も増加され、ゲート長 100 nm の MOSFET を電源電圧 1.2 V で動作させるために、表面及び基板内部不純物濃度も  $5 \times 10^{17} / \text{cm}^3$  から  $1 \times 10^{18} / \text{cm}^3$  とバイポーラトランジスタのベース濃度並みにまで高濃度化がなされている。従って、従来の基板不純物濃度分布の基にスケーリング則に基づく限り、今後の微細化の進展には表面及び基板内部不純物濃度を更に高濃度化する以外に解はない。基板内部不純物濃度の高濃度化は、クーロン散乱確率の増加による移動度の低下、ドレイン拡散層端における零又は負ゲート電圧条件でのソース・ドレイン漏洩電流 (GIDL: gate induced drain leakage) の増大、更には、ホットキャリア劣化の増大等の深刻な不良又は信頼性の低下を招き、MOSFET の高性能化を阻害する結果を招く。上記高性能化阻害要因は、チャネルが形成される半導体基板表面における不純物濃度の高濃度化に起因するものであり、微細 MOSFET の高性能化を追求する観点から表面不純物濃度のみを低濃度化する図 2 に示すとき深さ方向不純物濃度分布構成が提案され、スーパーリトログレードウェル (super-retrograde well) 構造と称される。図 2 は、N チャネル MOS 型トランジスタ（以下、NMOS と略記する）におけるゲート電極直下のチャネル領域での半導体表面からの深さ方向不純物濃度分布を示した図である。従来から広く使用されている B（ボロン）のみでは質量が小さく、イオン注入法ではなだらかな深さ方向分布しか実現できない。表面領域で低濃度で且つ急峻な P 導電型不純物濃度分布を実現するために、質量の大きな In（インジウム）のイオン注入を用いている。B は、半導体基板内部におけるパンチスルーを防止するため、より深い領域で最大不純物濃度となる如く注入している。スーパーリトログレードウェル構造は、最大不純物濃度が  $1 \times 10^{18} / \text{cm}^3$  以上を有する B と In の各不純物分布の積算で構成されている。微細 MOSFET の高性能化を追求する他の手法として、図 3 に示す如くゲート電極 4 を注入阻止マスクとして B の注入により P 導電型不純物領域 5 を形成し、同じくゲート電極 4 を注入阻止マスクとする N 導電型の浅いソース拡散層 6 及びドレイン拡散層 7 を P 導電型不純物領域 5 内部に構成するポケット構造と称される構造が知られている。ポケット構造は、ドレイン電界によるソース領域におけるビルトイン電位の消滅を局所的な基板不純物濃度の高濃度化により解消し、パンチスルーを防止するものである。ポケット構造においても、ゲート電極長の微細化に伴いソース及びドレイン端から導入される不純物が重畳し、チャネル中央部において高濃度化するため、所謂逆短チャネル効果を生じることが知られている。上記のチャネル不純

物分布構造と直接関連はないが、Inに関する特異な性質として、Si中の不純物Pの分布を変化させることが知られており、この性質を利用した深いソース/ドレイン接合の深さ制御に関する技術が特開平11-87706として公知である。スーパーリトログレードウエル構造において、NMOSではInが、PMOSではAs

(ヒ素)又はSb(アンチモン)が用いられるが、これらは何れも重い原子であり、多量のイオン注入により結晶欠陥の発生が避けられない。特に、Inにおいては最大不純物濃度で $2 \times 10^{18} / \text{cm}^3$ 以上では結晶欠陥の発生が確認される。InはSi中でアクセプタとして作用するが、そのエネルギー順位は価電子帯端から約0.16eVに位置し、 $1 \times 10^{18} / \text{cm}^3$ 以上の注入量に対しても室温においては10%程度しかアクセプタとして活性化されない。活性化は電界の印加によりエネルギーバンドが曲がれば達成されるが、例えばMOS閾電圧のゲート長依存特性において従来、所謂短チャネル効果と称される極短チャネル長領域を除いた閾電圧がチャネル長にほとんど依存しないとされる比較的長いチャネル長領域0.5 $\mu\text{m}$ から5 $\mu\text{m}$ 程度においても閾電圧がチャネル長に依存する特性を示す。上記活性化率の電界依存性は、従来広く使用されているB等と比べて遥かに扱い難い特性である。Inの他の扱い難い特性として、Si基板内における析出限界が $10^{18} / \text{cm}^3$ 程度と低く、アクセプタ濃度の上限が限定され自由なプロセス設計に制限が生じることである。

#### 【0003】

【発明が解決しようとする課題】本発明の課題は、微細MOSFETの高性能化、即ちソース・ドレイン間パンチスルー電流経路を完全に遮断し、且つ、大電流化を達成することである。特に、理想的なスーパーリトログレードウエルを実現する上で問題であったInの導入に伴う結晶欠陥の発生と接合漏洩電流の増大の問題、及び、アクセプタとしての活性化率が低く長チャネル領域までも閾電圧がチャネル長に依存するIn固有の問題を完全に解消し、低チャネル表面濃度に続く急峻な不純物濃度勾配を有する高濃度不純物領域を実現することである。これにより表面パンチスルーを完全に防止し、大電流化の可能な高性能微細MOSFETを実現することである。本発明の他の課題は、In固有の問題である析出限界濃度が低く、十分なアクセプタ濃度が得られない事実を解消し、十分なアクセプタ濃度を有し、設計自由度の大きいスーパーリトログレードウエルの実現を可能にすることである。本発明のさらに他の課題は、NMOSばかりでなく、N型基板領域内に構成される微細PMOSの高性能化、理想的なスーパーリトログレードウエルの実現に関しても多量のAs又はSbの導入に伴う問題点、結晶欠陥の発生と接合漏洩電流の増大を完全に解消することである。本発明のさらに他の課題は、同一半導体基板内にN型領域とP型領域を有し、各々の領域にN

MOSとPMOSが構成された相補型MOSトランジスタ(CMOSと記する)に関して、NMOSとPMOSにおける各々のチャネル不純物濃度分布を同一深さ方向分布となるごとく設定し、NMOSとPMOSを同時に大電流化することにより超微細CMOSの大電流化、高速動作化を実現することにある。上記CMOSの高性能化は、NMOSとPMOSのチャネル不純物分布をスーパーリトログレードウエル化することにより実現するが、その実現のために製造工程数の増加を伴うことなく、従って廉価に実現することも本発明の課題の一つである。

#### 【0004】

【課題を解決するための手段】MOSFET特性の大電流化を追求する観点から、本発明に基づくMOSFETに於ては、ゲート絶縁膜の薄膜化、ゲート長の微細化を使用電源電圧と共にスケールリング則に基づいて実施する。従って、電流電圧特性を基本的に決定する実効チャネル長は、微細化の限界技術が適用されるゲート加工技術と、上記ゲート電極をイオン注入マスクとするソース・ドレイン拡散層で決定する構造を採用した。上記拡散層はソース・ドレイン間のパンチスルー現象を十分に抑制し、ソース抵抗を可能な限り低減させるために浅接合高濃度の条件を満たすべきイオン注入条件と、その後の熱拡散軽減のため、活性化に必要な最低限の熱処理工程を採用する。本発明の基本概念は、Si単結晶基板にイオン注入したP導電型であるInの拡散現象を調べる過程で、予め導入されたB及びP、As等の不純物拡散層が低濃度のInの導入により大きく変動する現象を見出した事実に基づく。即ち、2.5nmの表面保護酸化膜が形成された面方位(100)のSi単結晶基板表面に加速エネルギー20keV、注入量 $3 \times 10^{13} / \text{cm}^2$ なる条件でBがイオン注入された試料に、重ねて加速エネルギー20keV、注入量 $5 \times 10^{11} / \text{cm}^2$ なる条件でInをイオン注入し、注入イオンの活性化熱処理を1000℃、10秒なる短時間高温熱処理を施した。活性化熱処理前後における上記各試料のB及びInの深さ方向不純物分布を二次イオン質量分析法により測定したところ、活性化熱処理前におけるBの最大不純物濃度はSi基板表面から約100nm深さで $4 \times 10^{18} / \text{cm}^3$ 、InはSi基板表面から約15nmの深さで $2 \times 10^{18} / \text{cm}^3$ の最大不純物濃度であった。一方、活性化熱処理後の不純物分布は極めて特異な分布を示した。即ち、Bの深さ方向分布において、最大不純物濃度深さが移動し、約18nmとなり、最大濃度も $5 \times 10^{18} / \text{cm}^3$ へと増加すると共に熱処理前の分布よりも急峻な分布に変化していた。Bの表面濃度に関しても熱処理前の値 $1 \times 10^{17} / \text{cm}^3$ から増加することなく、むしろ低下傾向に観測された。一方、Inを同時に注入せず、Bだけを注入した試料においては最大不純物濃度深さは約100nm深さで $2 \times 10^{18} / \text{cm}$

<sup>3</sup>に低下し、且つ分布も拡がり、表面濃度は約 $1 \times 10^{18} / \text{cm}^3$ にまで増加していた。上記実験結果はInの重ね注入により熱処理後のBの不純物分布はBの注入直後の分布に比べてもより急峻な分布が得られることを示している。上記結果はInが他の不純物原子を吸引すると仮定すれば説明ができる。他の不純物原子に対するInの吸引効果を調べるため、P及びAsの深さ方向分布に対するIn注入の影響も調べた。活性化熱処理前後におけるイオン注入P及びAsの深さ方向分布を二次イオン質量分析法により測定した結果、P及びAsとも低濃度分布領域がInの最大濃度深さ方向に移動する振舞いを示し、表面不純物濃度もイオン注入直後よりもさらに低下した分布が実現された。本発明においては新たに見出した上記現象を微細MOSFETのチャネル領域の不純物分布改善に利用する。ゲート長100nmのNMOSの場合を例にとると、チャネル領域の不純物濃度分布としてBのイオン注入を最大不純物濃度深さが表面から50nm程度、最大不純物濃度を $2 \times 10^{18} / \text{cm}^3$ 程度に設定し実施した後、基板表面から約15nmの深さで最大不純物濃度 $1 \times 10^{18} / \text{cm}^3$ 程度となるごとくInを重ね合わせて注入しその後の短時間高温アニールにより導入不純物の活性化と不純物の再分布を実行する。再分布の結果、Bの最大不純物濃度深さは20nm以下に移動し、且つ最大不純物濃度は $3 \times 10^{18} / \text{cm}^3$ 程度、表面不純物濃度も $1 \times 10^{17} / \text{cm}^3$ 程度以下に低下し、スーパーリトログレードウエルが形成される。上記熱処理の後、ゲート絶縁膜及びゲート電極の形成工程以下を実施すれば良い。ゲート長100nmのPMOSの場合は基板表面から約15nmの深さで最大不純物濃度 $3.5 \times 10^{18} / \text{cm}^3$ 程度となるごとく20keVの加速エネルギーでAsのイオン注入を実施し、続いて基板表面から約15nmの深さで最大不純物濃度 $1 \times 10^{18} / \text{cm}^3$ 程度となるごとくInを重ね合わせて注入しその後の短時間高温アニールにより導入不純物の活性化と不純物の再分布を実行する。上記短時間高温アニールによりAsは最大不純物濃度深さに変化はなかったが、最大不純物濃度が $4 \times 10^{18} / \text{cm}^3$ 程度に上昇し、表面不純物濃度も $1 \times 10^{17} / \text{cm}^3$ 程度以下に低下した。上記熱処理の後、NMOSの場合と同様にゲート絶縁膜及びゲート電極の形成工程以下を実施すれば良い。ここにおいて、InはAsとは反対導電型であり、N導電型キャリア濃度を補償し、シート抵抗を増大する方向に作用するが、In導入領域はパンチスルー電流経路を切断する領域であり、動作電流を制御するチャネル領域とは異なるため微細MOSFETの高性能化に何ら悪影響を与えることはない。なお、上記イオン注入において、BとIn、AsとInのイオン注入順は反対でも結果は同様であった。尚、上記Asイオン注入の代わりにPのイオン注入を行っても良い。上記NMOS及びPMOSの製造工程を統合すればCMO

Sの高性能化も容易に実現することができる。即ち、NMOSが構成されるべきP導電型基板領域と、PMOSが構成されるべきN導電型基板領域の全面に基板表面から約15nmの深さで最大不純物濃度 $1 \times 10^{18} / \text{cm}^3$ 程度となるごとく加速エネルギー20keVでInのイオン注入を施した後、P導電型基板領域にはBのイオン注入を、最大不純物濃度深さが表面から50nm程度、最大不純物濃度を $2 \times 10^{18} / \text{cm}^3$ 程度に設定して選択的に施し、N導電型基板領域にはAsのイオン注入を、基板表面から約15nmの深さで最大不純物濃度 $3.5 \times 10^{18} / \text{cm}^3$ 程度となるごとく20keVの加速エネルギーで選択的に実施してから短時間高温熱処理を施してB、Asの活性化とその不純物分布の再分布を実施すれば良い。これによりCMOSを構成するNMOSとPMOSのチャネル領域における深さ方向の不純物濃度分布をBとAsの違いに関係なく同一分布のスーパーリトログレードウエル構造とすることができる。上記手法に基づけばチャネル表面で十分に低濃度で、且つ、低濃度表面から急峻に増大する不純物濃度分布を有するスーパーリトログレードウエル構造を高濃度のInの導入に依らずB又はAsによる不純物で実現することができる。従って従来手法で問題であった高濃度Inの導入に基づく結晶欠陥の発生を解消し、接合漏洩電流の増大化を招くことから解消することができる。更に、上記手法に基づけば電氣的にスーパーリトログレードウエル構造を構成する不純物はB又はAs又はPであり、Inの深いエネルギー準位に基づく低活性化率や低析出限界濃度の問題、即ち、長チャネル領域にまで及ぶ閾電圧のチャネル長依存性の問題や低アクセプタ濃度の問題も解消することができる。Inのイオン注入不純物分布と同一な急峻な表面パンチスルー抑止拡散層を活性化率が高く結晶欠陥が生じ難いB又はAs又はP等の軽い原子で実現できることによりパンチスルー現象に基づく短チャネル効果を抑制しつつ、低チャネル不純物濃度構造に基づく高移動度特性を実現できる。従って漏洩電流値が小さく、且つ、大電流特性を有する微細MOSFETをNMOS、PMOS更にはCMOSの各構造で実現することができる。尚、他の手法としてAl（アルミニウム）、Ga（ガリウム）等においてもBと相互作用を生じさせると推定される。この場合AlやGaがInに比べて質量が小さく、イオン注入により急峻な濃度分布を任意深さに設定することが原理的に困難なこと、Si基板内における拡散速度が極めて速く通常の半導体装置の製造工程では制御が困難なこと、更にアクセプタ不純物としての活性化率が極めて低く微細MOSFETへの適用を考えると実用的でない等Inと比較して幾多の欠点はあるが、例えばGaの場合、Si内での析出限界濃度が $2 \times 10^{19} / \text{cm}^3$ と高く、アクセプタ準位も価電子帯端から0.072eVとInの半分以下で、活性化が容易であるなどの優れた特性も有しており、Inとの



併用が好ましい。

# 【0005】

【発明の実施の形態】以下、本発明を各実施例によりさらに詳細に説明する。理解を容易にするため、図面を用いて説明し、要部は他の部分よりも拡大して示されている。各部の材質、導電型及び製造条件等は本実施例の記載に限定されるものではなく、各々多くの変形が可能であることは言うまでもない。

＜実施例1＞図1は本発明の第1の実施例によるMOSFETの完成断面図、図5及び図6はその製造工程順を示す断面図であり、図4はチャネル領域における半導体基板表面からの不純物深さ方向分布を示す図である。面方位(100)、P導電型、直径20cmの単結晶Siよりなる半導体基板1に、活性領域を画定する素子間分離絶縁領域(図示せず)を形成し、基板濃度調整用P導電型ウェルイオン注入とその引き延ばし熱処理を公知の手法により施した後、半導体基板1表面に形成されているSi酸化膜を選択除去し、再び2nm厚のSi酸化膜(図示せず)を堆積した。上記Si酸化膜をイオン注入工程における表面保護膜とし、加速エネルギー20keV、注入量 $3 \times 10^{13} / \text{cm}^2$ なる条件でBを注入してB注入層21の形成と、最大不純物濃度 $1 \times 10^{18} / \text{cm}^3$ 程度となるごとく加速エネルギー20keVでInを続けてイオン注入したIn注入層2を形成した。上記イオン注入は特異な単結晶面方向に依存して飛程が予想外に拡大される所謂チャネリング現象が生じることを防止するため、面方位(100)の半導体基板1に対して垂直から7度以上傾角した条件により実施した。なお、傾角でない垂直注入を行うと上記条件のInイオン注入は約1 $\mu\text{m}$ 深さまで裾を引く分布となる恐れがある。注入傾角はイオン注入機の性能に基づき例えば45度程度まで所望により実施しても何ら問題はない。この場合、傾角注入に基づく注入深さが変化することを考慮する必要があることは言うまでもない。上記の重ね合わせイオン注入の後、950℃、10秒なる条件の短時間高温熱処理を施した。昇温レートは100℃/秒とした。上記熱処理の後、同様の処理を施した別途準備の試料によりBの深さ方向分布を二次イオン質量分析法により測定したところ、最大不純物濃度深さが移動し、約18nmとなり、最大濃度も $5 \times 10^{18} / \text{cm}^3$ へと増加すると共に熱処理前の分布よりも急峻な分布に変化していた。Bの表面濃度に関しても熱処理前の値 $1 \times 10^{17} / \text{cm}^3$ から増加することなく、むしろ低下傾向に観測された。上記の不純物分布はInを重ね注入しないB単独のイオン注入試料への同様な熱処理における不純物再分布特性は最大不純物濃度深さが表面より約100nm深さで最大不純物濃度が $2 \times 10^{18} / \text{cm}^3$ に低下し、且つ分布も拡がり、表面濃度は約 $1 \times 10^{18} / \text{cm}^3$ にまで増加していた。上記結果はInの重ね注入により熱処理後のBの不純物分布はBの注入直後の分布

に比べてもより急峻な分布が得られることを示している。上記結果はInが他の不純物原子を吸引すると仮定すれば説明ができる。上記短時間熱処理を施した後、熱酸化膜1.8nmの形成とその表面をNOガスにより窒化することにより0.2nmの窒化膜を積層形成し、ゲート絶縁膜3とした。続いて、Pが高濃度に添加された非晶質Si膜を化学気相堆積法によりゲート絶縁膜3上に250nmの膜厚で堆積した後、電子線リソグラフィを用いて100nmのゲート電極4に加工した。ゲート電極4の低抵抗化は上記のごとく予め不純物を添加するのではなく従来公知の相補型MOS製法に基づき所望ゲート電極領域に選択的にP又はBを高濃度イオン注入し形成しても何ら問題ない(図5)。図5の状態よりAsイオンを加速エネルギー5keV、注入量 $1 \times 10^{15} / \text{cm}^2$ の条件で垂直方向からイオン注入し、浅いソース拡散層6及び浅いドレイン拡散層7とした。続いて、上記浅いソース拡散層6及び浅いドレイン拡散層7を包み込むごとく、Bのイオン注入を施してパンチスルー防止のためのN導電型パンチスルー防止拡散層5とした。次に、50nm厚のシリコン酸化膜をプラズマ補助堆積法により400℃の低温で全面に堆積してから異方性ドライエッチングによりゲート電極4の側壁部のみ選択的に残置させてゲート側壁絶縁膜8とした。上記ゲート側壁絶縁膜8をイオン注入阻止マスクとするN型高濃度ドレイン拡散層10及びN型高濃度ソース拡散層9を形成した。イオン注入条件はAsイオン、加速エネルギー40keV、注入量 $4 \times 10^{15} / \text{cm}^2$ である(図6)。図6の状態より950℃、10秒の条件で注入イオンの活性化熱処理を施した後、Co膜をスパッタリング法により全面に薄く堆積し、500℃における短時間アニールによるシリサイド化を施した。未反応Co膜を塩酸と過酸化水素水混合液で除去し、Si基板露出部に選択的にCoシリサイド膜11を残置させた。この状態より800℃における短時間熱処理によりCoシリサイド膜11の低抵抗化を施した。次に厚いシリコン酸化堆積膜を全面に形成した後、その表面を機械的研磨により平坦化して表面保護絶縁膜12とした。該表面保護絶縁膜の所望領域に開口を施してから配線金属の拡散障壁材としてのTiN膜と配線金属としてのW膜を堆積し、その平坦化研磨により開口部分のみに選択的にW膜を残置した。その後、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングによりドレイン電極14、及びソース電極13を含む配線を形成し、MOSFETを製造した(図1)。上記製造工程を経て製造された本実施例に基づくMOSFETを、従来構造のMOSFETとゲート長100nmの条件で比較した。チャネル領域におけるパンチスルーストップ拡散層としてBのみを用い、チャネル領域における深さ方向不純物濃度勾配が小さく、表面不純物濃度が約 $1 \times 10^{18} / \text{cm}^3$ 程度と高濃度の従来MOSFETにおいて



は、ゲート電圧が0Vでのソースドレイン電流値がゲート幅1 $\mu\text{m}$ 当たり8.8 $\times 10^{-9}$  A、ゲート電圧が1.2Vでのソースドレイン電流値がゲート幅1 $\mu\text{m}$ 当たり0.76mAであったのに対し、チャネル表面不純物濃度が1 $\times 10^{17}$  / $\text{cm}^3$ 程度と低く、且つ、チャネル表面から深さ方向にむけて急峻な勾配で不純物濃度が増加するチャネル不純物分布を有する本実施例に基づくMOSFETにおいては、ゲート電圧が0Vでのソースドレイン電流値がゲート幅1 $\mu\text{m}$ 当たり7.8 $\times 10^{-9}$  Aと漏洩電流が小さいにも係わらず、ゲート電圧が1.2Vでのソースドレイン電流値がゲート幅1 $\mu\text{m}$ 当たり0.89mAと17%の大電流化が達成された。尚、表面パンチスルーを防止すべく本実施例のMOSFETと同一のチャネル不純物最大濃度である5 $\times 10^{18}$  / $\text{cm}^3$ の条件をInのイオン注入のみで製造したMOSFETにおいてはゲート電圧が0Vにおける漏洩電流がゲート幅1 $\mu\text{m}$ 当たりで1 $\mu\text{A}$ 以上と極めて大きかった。これは多量のInイオン注入により結晶欠陥が発生したためである。尚、本実施例に基づく微細MOSFETのVth値はドレイン電圧1.2Vで0Vであった。更に、本発明に基づく上記微細MOSFETのIdsのVg依存性に於てドレイン印加電圧1.2Vの場合と0.1Vの場合ではその閾電圧の違いは僅か0.12Vと小さく、ドレイン・インデュースド・バリアロアリング(drain induced barrier lowering: DIBL)特性に優れていることも明らかになった。このことにより、本発明に基づく微細MOSFETのゲート電極直下のチャネル領域は基板深さ方向に十分に急峻で、表面パンチスルー現象が十分に抑制されていることが明らかとなった。尚、本実施例においてはNMOSの場合について説明したが、導電型を逆にしたPMOSの場合及びそれらの複合であるCMOSに適用しても何ら問題ではない。本実施例において、Inの注入量をパラメータとして種々の条件で試作したが、注入量が5 $\times 10^{19}$  / $\text{cm}^3$ 以上では重イオン注入に基づく結晶欠陥が発生する。結晶欠陥の発生は好ましいとは言い難く、注入量は1 $\times 10^{19}$  / $\text{cm}^3$ 以下であることが望ましい。注入量の下限に関しては5 $\times 10^{17}$  / $\text{cm}^3$ 以上であれば本実施例の効果が観測されるため、5 $\times 10^{17}$  / $\text{cm}^3$ 以上が望ましい。

<実施例2>図10は本発明の第2の実施例によるMOSFETの完成断面図、図7から図9はその製造工程順を示す断面図である。面方位(100)、P導電型、直径20cmの単結晶Siよりなる半導体基板に、活性領域を画定する素子間分離絶縁領域19を形成し、所定領域へのP及びBイオン注入とその引き延ばし又は活性化熱処理により、各々N導電型ウェル領域50とP導電型ウェル領域100の形成を公知の手法により施した。この状態からN導電型ウェル領域50にはPを30keV、2 $\times 10^{13}$  / $\text{cm}^2$ の条件で、P導電型ウェル領

域100にはBを20keV、2 $\times 10^{13}$  / $\text{cm}^2$ の条件で各々選択的にイオン注入してN導電型高濃度ウェル層22とP導電型高濃度ウェル層21を形成した。引き続き、この状態よりP導電型ウェル領域100とN導電型ウェル領域50の全面にInのイオン注入を10keV、2 $\times 10^{12}$  / $\text{cm}^2$ の条件で施し不純物吸引層2とした。上記Inのイオン注入条件によりInの最大不純物濃度は2 $\times 10^{18}$  / $\text{cm}^3$ であり、半導体表面から約12nm深さに位置する。半導体主表面におけるIn濃度は1 $\times 10^{16}$  / $\text{cm}^3$ であった(図7)。図7の状態より1000 $^{\circ}\text{C}$ 、1秒の条件で、短時間高温熱処理を施した。上記製造工程と同一の処理を施した別の半導体基板における深さ方向不純物分布を二次イオン質量分析器により評価した。評価は上記熱処理の前後において実施した。その結果、Inの深さ方向分布にはほとんど変化が見られなかったが、N導電型高濃度ウェル層22におけるPの最大不純物濃度は5 $\times 10^{18}$  / $\text{cm}^3$ と熱処理前とほぼ同一であったが、その位置は熱処理前の深さ35nmからInの最大濃度深さとほぼ同一深さである12nmに移動していた。半導体基板表面におけるP濃度は1/3に減少しており、1 $\times 10^{17}$  / $\text{cm}^3$ 以下となり、注入直後の深さ方向濃度分布より急峻な分布に変化していた。上記熱処理によりP導電型高濃度ウェル層21のB最大不純物濃度深さは半導体表面から約60nmの深さから12nm深さに移動し、半導体表面におけるB濃度も2/3に減少して、1 $\times 10^{17}$  / $\text{cm}^3$ 以下となり、こちらも注入直後の深さ方向濃度分布より急峻な分布に変化していた。上記熱処理工程の後、熱酸化膜1.8nmの形成とその表面をNOガスにより窒化することにより0.2nmの窒化膜を積層形成し、ゲート絶縁膜3とした。続いて、非晶質Si膜4を化学気相堆積法によりゲート絶縁膜3上に150nmの膜厚で堆積してから、N導電型高濃度ウェル層22上の非晶質Si膜4にはBを、P導電型高濃度ウェル層21上の非晶質Si膜4にはPをイオン注入法により選択的に高濃度に注入し、その後の短時間高温熱処理により注入イオンの活性化を施して各々、P導電型化及びN導電型化した。しかる後、電子線リソグラフィにより最小寸法が70nmのゲート電極4に加工した。この状態より上記ゲート電極4を注入阻止マスクとしてP導電型高濃度ウェル層21領域にはAsを選択的にイオン注入し、高濃度浅接合N導電型拡散層6、7を、N導電型高濃度ウェル層22領域にはBF<sub>2</sub>を選択的にイオン注入することにより高濃度浅接合P導電型拡散層61及び71を形成した。イオン注入条件は何れも加速エネルギー3keV、注入量1 $\times 10^{15}$  / $\text{cm}^2$ である(図8)。図8の状態より60nm厚のシリコン窒化膜を主表面全面に堆積してから異方性エッチングを施し、ゲート電極4の側壁部にのみ選択的に残置させてゲート側壁絶縁膜8とした。続いて、上記ゲート側壁絶縁膜8を注入阻止

マスクとするイオン注入により高濃度浅接合N導電型拡散層6、7に一部重畳するごとくAsによるN導電型の深い高濃度ソース、ドレイン拡散層10及び9を、更に高濃度浅接合P導電型拡散層61及び71に一部重畳するごとくBF<sub>2</sub>によるP導電型の深い高濃度ソース、ドレイン拡散層101及び91を選択的に形成した。Asのイオン注入条件は加速エネルギー40keV、注入量 $4 \times 10^{15} / \text{cm}^2$ 、BF<sub>2</sub>のイオン注入条件は加速エネルギー25keV、注入量 $3 \times 10^{15} / \text{cm}^2$ である。上記イオン注入の後、注入イオンの活性化熱処理を1000℃、2秒の条件で実施したが熱処理後のソース、ドレイン拡散層10及び9の接合深さは約150nmであった(図9)。図9の状態よりソース、ドレイン拡散層10、9、101、91上に残置されている絶縁膜を選択除去してからC<sub>o</sub>膜をスパッタリング法により全面に薄く堆積し、500℃における短時間アニールによるシリサイド化を施した。未反応C<sub>o</sub>膜を塩酸と過酸化水素水混合液で除去し、Si基板露出部に選択的にC<sub>o</sub>シリサイド膜11を残置させた。この状態より800℃における短時間熱処理によりC<sub>o</sub>シリサイド膜11の低抵抗化を施した。次に、厚いシリコン酸化堆積膜を全面に形成した後、その表面を機械的研磨により平坦化して表面保護絶縁膜12とした。該表面保護絶縁膜の所望領域に開口を施してから配線金属の拡散障壁材としてのTiN膜と配線金属としてのW膜を堆積し、その平坦化研磨により開口部分のみに選択的にW膜を残置した。その後、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングにより接地電位線131、信号出力線141及び電源電位線13を含む配線を形成し、MOSFETを製造した(図10)。上記製造工程を経て製造された本実施例に基づくMOSFETを従来構造のMOSFETと同一ゲート長の条件で比較した。本実施例に基づくMOSFETにおいてはNMOSのP導電型ウェル21、PMOSのN導電型ウェル22ともにチャネル表面における不純物濃度が $10^{17} / \text{cm}^3$ 以下と極めて低く、且つ、半導体基板表面から12nm深さにおいて最大不純物濃度 $5 \times 10^{18} / \text{cm}^3$ となる急峻な不純物分布を有している。上記の急峻な不純物分布はP導電型ウェル21においてはB、N導電型ウェル22においてはPにより構成されて、従来のB及びP単独のイオン注入による深さ方向分布では実現し得ない分布が具現された。上記B及びPの分布内にInも存在する構成となっているが、Inの絶対量はB及びP不純物量に比べて少なく、その電気的役割は無視される。Inイオン注入に基づく結晶欠陥の発生も注入量が少ないため生じない。具体的にはゲート長70nmの条件において、チャネル領域におけるパンチスルーストップ拡散層としてBのみを用い、チャネル領域における深さ方向不純物濃度勾配が小さく、表面不純物濃度が約 $2 \times 10^{18} / \text{cm}^3$ 程度と高濃度の従来NMOS

においては、ゲート電圧が0Vでのソースドレイン電流値がゲート幅1μm当たり $1 \times 10^{-8}$  A、ゲート電圧が1.2Vでのソースドレイン電流値がゲート幅1μm当たり0.92mAであったのに対し、チャネル表面不純物濃度が $1 \times 10^{17} / \text{cm}^3$ 以下と低く、且つ、チャネル表面から深さ方向にむけて急峻な勾配で不純物濃度が増加するチャネル不純物分布を有する本実施例に基づくNMOSにおいては、ゲート電圧が0Vでのソースドレイン電流値がゲート幅1μm当たり $8.8 \times 10^{-9}$  Aと漏洩電流が小さいにも係わらず、ゲート電圧が1.2Vでのソースドレイン電流値がゲート幅1μm当たり1.18mAと22%の大電流化が達成された。更に、本発明に基づくNMOSのI<sub>ds</sub>のV<sub>g</sub>依存性に於て、ドレイン印加電圧1.2Vの場合と0.1Vの場合ではその閾電圧の違いは僅か0.13Vと小さく、DIBL特性に優れていることも明らかになった。本実施例に基づくゲート長70nmのPMOSにおいてもゲート電圧が0Vでのソースドレイン電流値がゲート幅1μm当たり $1 \times 10^{-8}$  A、ゲート電圧が1.2Vでのソースドレイン電流値がゲート幅1μm当たり0.55mAとチャネル領域におけるパンチスルーストップ拡散層としてPのみを用い、チャネル領域における深さ方向不純物濃度勾配が小さい従来PMOSにおけるソースドレイン電流値より20%以上の大電流化が達成された。即ち、本実施例に基づくことによりNMOS及びPMOS共に表面パンチスルー現象を生じることなく大電流化が達成された。本実施例に基づくMOSFETの急峻なチャネル不純物分布構成はNMOS及びPMOSの製造を通じてInのイオン注入を追加するだけであり、CMOS製造における工程数の増加は僅か一工程のみである。これにより従来製造法に基づくB又はPのみにより得られた緩やかで高濃度なチャネル不純物分布を低表面濃度で且つ急峻なチャネル不純物分布に変更することが可能となる。尚、本実施例により得られるチャネル最大不純物濃度と同じ不純物濃度をIn単独のイオン注入で実施したNMOSにおいては結晶欠陥に基づくと思われる不良によりソースドレイン間漏洩電流が顕著となり、良好なトランジスタ特性をえることができなかった。

<実施例3>図11は本発明の第3の実施例によるMOSFETの完成断面図である。実施例2に基づいて、図8の状態まで製造した後、ゲート電極4を注入阻止マスクとしてN導電型高濃度ウェル層22領域には更にPイオンを、P導電型高濃度ウェル層21領域には更にBイオンを、各々加速エネルギー20keV、注入量 $1 \times 10^{13} / \text{cm}^2$ と加速エネルギー20keV、注入量 $6 \times 10^{13} / \text{cm}^2$ の条件で選択的に注入してN導電型ポケット領域51とP導電型ポケット領域5を追加形成した。しかる後、前記実施例2にしたがってCMOSを製造した。本実施例に基づき製造されたCMOSにおいては前記実施例2に基づくCMOSに比べて60nmとさ

らにゲート長が短い超微細CMOSも表面パンチスルー現象を生じることなく動作することが確認された。但し、最大電流値に関してはポケット領域導入に基づくチャネル高濃度化のために更なる改善は得られなかった。

<実施例4>図12は本発明の第4の実施例によるMOSFETの完成断面図である。上記実施例3において、N導電型ポケット領域51とP導電型ポケット領域5の追加形成をソース拡散層側にのみ選択的に形成した。ここにおいて、ドレイン側はホトレジスト膜で選択的に覆い、イオン注入が為されないようにした。上記イオン注入の後、注入阻止に用いたレジスト膜を選択除去し、その後は前記実施例3にしたがってCMOSを製造した。本実施例に基づき製造されたCMOSにおいては前記実施例3と同じ60nmのゲート長を有する超微細CMOSも表面パンチスルー現象を生じることなく動作することが確認され、且つ最大電流値も実施例3に基づくCMOSよりも5%弱向上することができた。上記はドレイン拡散層側にポケット領域が構成されないため、ドレイン近傍における基板不純物濃度の高濃度化に基づくピンチオフ電圧の低下が生じ難く、大電流化が達成されたためと推測される。尚、本実施例に基づくCMOSはソースとドレインが非対称の構成となるが、インバータ回路の如く電流が常に一方向に流れるとき回路においては何ら問題は生じない。

<実施例5>実施例1におけるIn注入層2の形成工程において、最大不純物濃度 $1 \times 10^{18} / \text{cm}^3$ 程度となるごとく加速エネルギー20keVでInを注入し、続けてGaを加速エネルギー15keV、最大不純物濃度 $2 \times 10^{18} / \text{cm}^3$ 程度となるごとくイオン注入を施した。上記条件によるGaの最大不純物濃度深さは主表面より約20nmとInの最大不純物濃度深さと一致する条件である。また、上記深さは浅いソース拡散層7、浅いドレイン拡散層8の接合深さとほぼ一致する条件である。InはSi中での固溶限界が低く、更なるIn注入は単に結晶欠陥を発生させるため、高濃度で且つ急峻なP型不純物分布の実現手段としてInより更に固溶限界が高いGaを併用するものである。Gaのイオン注入の後、前記実施例1に従って短時間高温熱処理以降の製造工程を施して本実施例に基づくMOSFETを製造した。なお、本実施例においてはInとGaの併用の場合について記載したが、Gaも他の不純物を吸引する特性を有しているため、都合によりInのイオン注入を省略し、Gaのイオン注入のみを実施してもよい。Gaのイオン注入とその後の短時間高温熱処理を施した別途準備の試料を用いて、キャリア濃度の深さ方向分布を拡がり抵抗測定法により測定したところ、表面で約 $8 \times 10^{16} / \text{cm}^3$ 低濃度を示し、表面から20nmの深さで約 $8 \times 10^{18} / \text{cm}^3$ に達する急峻な分布が得られていることが明らかになった。本実施例に基づくMOSFETを測定したところ、ゲート長70nmの素子も大電

流特性を有し、且つ、短チャネル効果又はパンチスルー現象に基づく漏洩電流も観測されなかった。上記特性は実施例1に基づくMOSFETに比べて、本実施例に基づくMOSFETの方がより微細化に優れていることを示唆している。

#### 【0006】

【発明の効果】本発明によれば、ゲート電極直下のチャネル領域における基板不純物分布を活性化率の高いBやPを用いたままNMOS及びPMOSともに表面濃度を低く、且つ、半導体基板内部に向けた不純物濃度勾配を極めて急峻に構成できる。従って、微細CMOSにおいて、表面パンチスルー現象を十分に抑制したまま、高移動度で大電流特性を達成することができる。特に、本発明によれば上記不純物分布の改善を一工程のイオン注入を追加するだけで廉価に達成することができる。また、本発明によればゲート電極に重畳される半導体表面領域におけるドレイン接合近傍で高濃度基板不純物領域の導入が回避できるので $N^+P^+$ 高濃度トンネル接合が形成されず、GIDL現象による保持状態における漏洩電流が低減でき、従って消費電力の低減を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例による絶縁ゲート型電界効果トランジスタの完成断面図。

【図2】従来のチャネル領域における半導体基板表面からの不純物深さ方向分布を示す図。

【図3】従来の絶縁ゲート型電界効果トランジスタの完成断面図。

【図4】本発明のチャネル領域における半導体基板表面からの不純物深さ方向分布を示す図。

【図5】本発明の第1の実施例による絶縁ゲート型電界効果トランジスタの製造工程順を示す断面図。

【図6】本発明の第1の実施例による絶縁ゲート型電界効果トランジスタの製造工程順を示す断面図。

【図7】本発明の第2の実施例による絶縁ゲート型電界効果トランジスタの製造工程順を示す断面図。

【図8】本発明の第2の実施例による絶縁ゲート型電界効果トランジスタの製造工程順を示す断面図。

【図9】本発明の第2の実施例による絶縁ゲート型電界効果トランジスタの製造工程順を示す断面図。

【図10】本発明の第2の実施例による絶縁ゲート型電界効果トランジスタの完成断面図。

【図11】本発明の第3の実施例による絶縁ゲート型電界効果トランジスタの完成断面図。

【図12】本発明の第4の実施例による絶縁ゲート型電界効果トランジスタの完成断面図。

#### 【符号の説明】

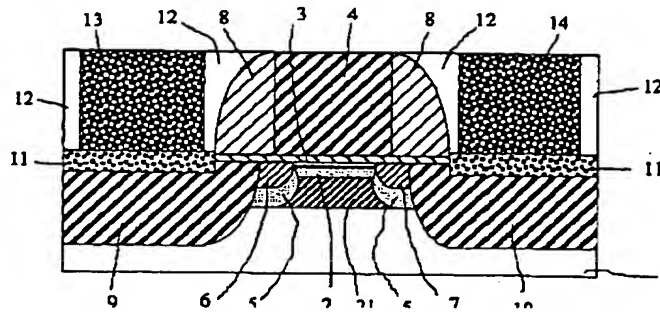
1…半導体基板又はP導電型ウェル領域、2…不純物吸引層(In注入層)、3…ゲート絶縁膜、4…ゲート電極、5…P導電型不純物領域、6…N導電型の浅いソー

ス拡散層、7…N導電型の浅いドレイン拡散層、8…ゲート側壁絶縁膜、9…N導電型高濃度ソース拡散層、10…N導電型高濃度ドレイン拡散層、11…シリサイド膜、12…表面保護絶縁膜、13…ソース電極又は接地電位線、14…ドレイン電極、21…P導電型高濃度ウ

エル層、22…N導電型高濃度ウェル領域、71…P導電型の浅いドレイン拡散層、61…P導電型浅いソース拡散層、101…P導電型高濃度ソース拡散層、91…P導電型高濃度ドレイン拡散層、131…電源電位線、141…信号出力線。

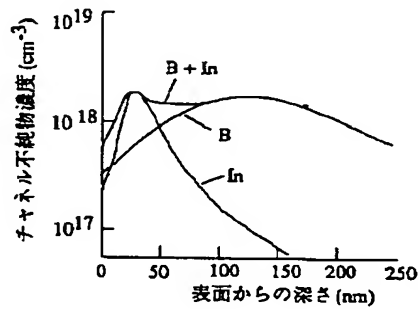
【図1】

図1



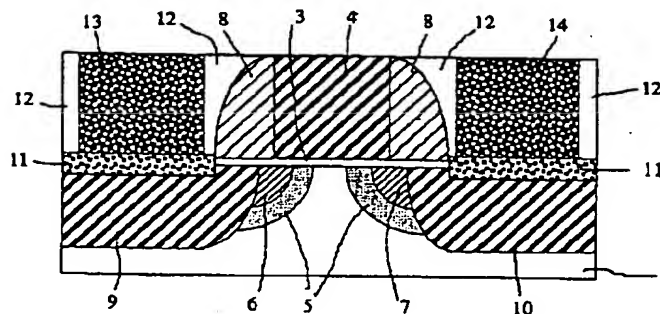
【図2】

図2



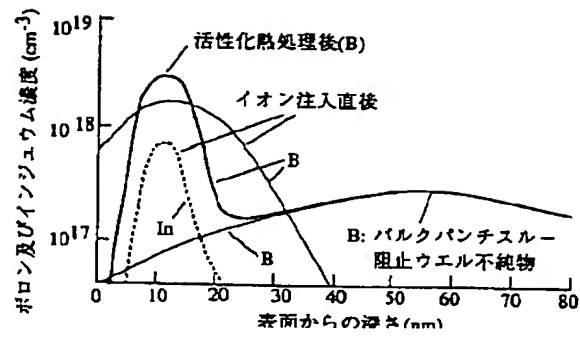
【図3】

図3



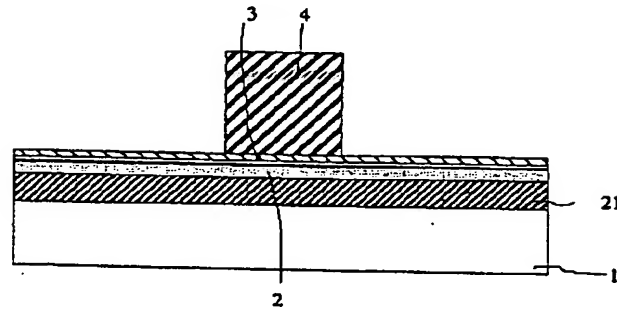
【図 4】

図 4



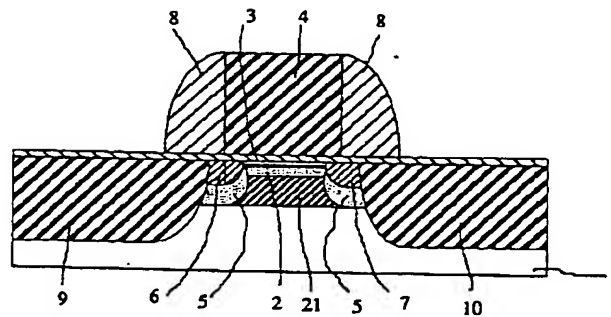
【図 5】

図 5



【図 6】

図 6



【図 7】

図 7

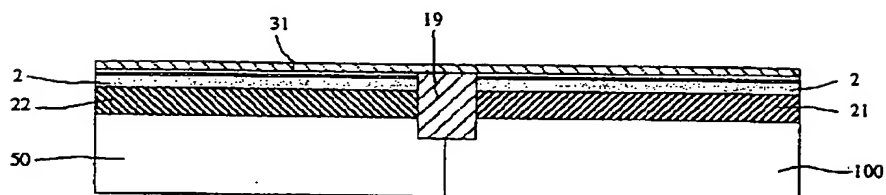
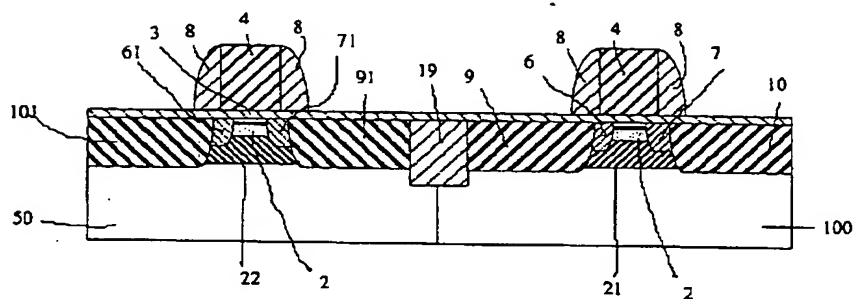


图 9



10

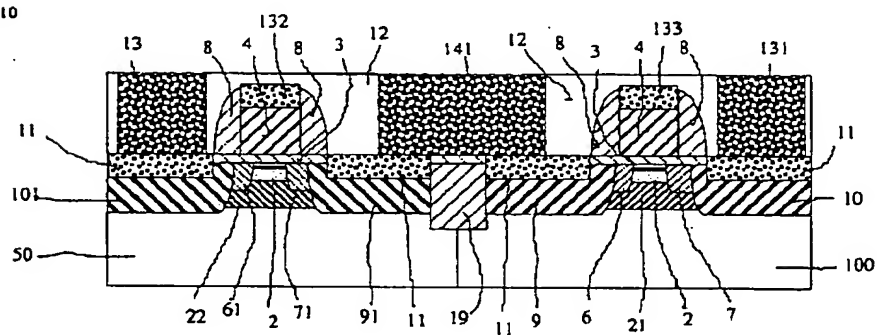
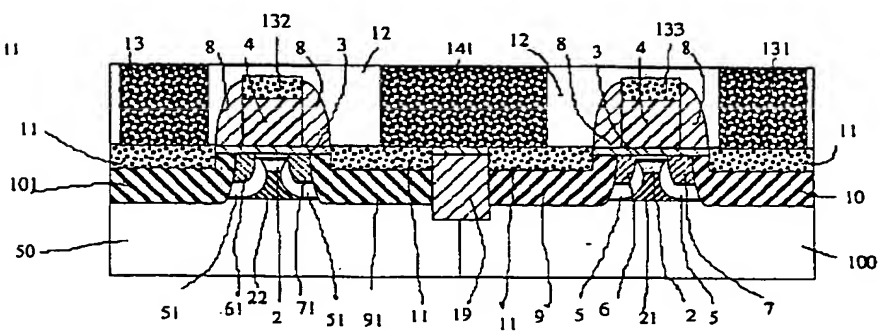
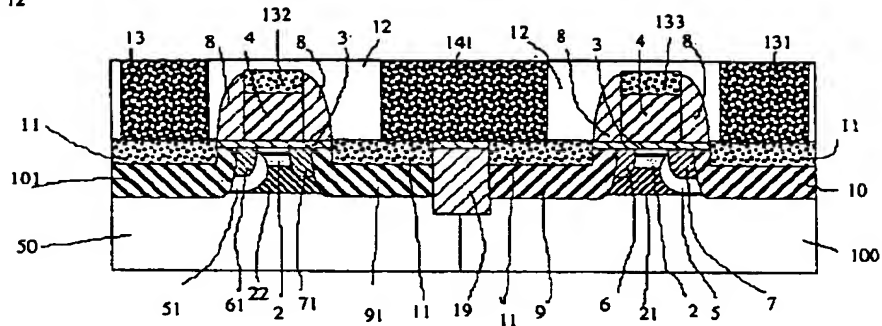


图 11



【図 12】

図 12



フロントページの続き

(51) Int. Cl. 7

H01L 21/8238  
27/088  
27/092

識別記号

F I

H01L 27/08

テーマコード\* (参考)

321E  
102B

(72) 発明者 高濱 高

東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

(72) 発明者 大西 和博

東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(72) 発明者 満田 勝弘

東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体グループ内

F ターム (参考)

4M104 AA01 BB01 BB20 BB40 CC01  
CC05 DD37 DD43 DD84 FF31  
GG09 GG10 GG14 HH20  
5F048 AA01 AA07 AC03 BA01 BA10  
BB04 BB05 BB08 BB11 BB12  
BC05 BC06 BC07 BD04 BE01  
BE03 BF06 BF07 DA25 DA27  
5F140 AA18 AA21 AA29 AA39 AB03  
AC01 BA01 BA20 BB11 BB13  
BB15 BC07 BC17 BD01 BD10  
BE07 BE08 BF04 BF34 BG08  
BG12 BG36 BH15 BH30 BH35  
BH47 BJ08 BJ11 BJ17 BJ20  
BK02 BK13 BK29 BK34 BK38  
CA03 CB04 CB08 CC03 CE07

BEST AVAILABLE COPY